

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

011255673 \*\*Image available\*\*

WPI Acc No: 1997-233576/199721

XRPX Acc No: N97-193157

**Output driver for liquid crystal drive circuit - drives dual gate formed  
by connecting gate electrodes of pMOS and nMOS transistors of CMOS  
inverter circuit.**

Patent Assignee: CASIO COMPUTER CO LTD (CASK )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9074204	A	19970318	JP 95251805	A	19950904	199721 B

Priority Applications (No Type Date): JP 95251805 A 19950904

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9074204	A		12 H01L-029/786	

Abstract (Basic): JP 9074204 A

The output driver for liquid crystal display consists of a CMOS inverter circuit (21), which consists of a pMOS transistors (22,23) and nMOS transistors (24,25). The source and drain terminals of the pMOS transistors and nMOS transistors are connected in series between the power supply (Vdd) and the ground (GND).

The gate electrodes (32) of the pMOS transistors are connected. The gate electrodes of the nMOS transistors are connected (31). Then a dual gate structure, formed by connecting the gate electrodes of the pMOS and nMOS transistors, is driven simultaneously. ADVANTAGE - For use in personal computers and word processors. Reduces channel length of transistor. Distributes field strength of PN junction of each transistor. Reduces leakage current. Reduces circuit area.

Dwg.1/8

Title Terms: OUTPUT; DRIVE; LIQUID; CRYSTAL; DRIVE; CIRCUIT; DRIVE; DUAL;  
GATE; FORMING; CONNECT; GATE; ELECTRODE; NMOS; TRANSISTOR; CMOS;  
INVERTER  
; CIRCUIT

Derwent Class: P81; P85; T04; U12; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): G02F-001/1345; G02F-001/136;  
G09G-003/36; H01L-021/336

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO.

(c) 2004 JPO & JAPIO. All rts. reserv.

05459404 \*\*Image available\*\*

INDICATION DRIVING DEVICE

PUB. NO.: 09-074204 [JP 9074204 A]

PUBLISHED: March 18, 1997 (19970318)

INVENTOR(s): MOROSAWA KATSUHIKO

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-251805 [JP 95251805]

FILED: September 04, 1995 (19950904)

INTL CLASS: [6] H01L-029/786; G02F-001/1345; G02F-001/136; G09G-003/36; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal

Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

#### ABSTRACT

**PROBLEM TO BE SOLVED:** To provide an indication driving device with which power consumption can be decreased by a method wherein the leakage current of a transistor is made small while the increase in circuit area is being suppressed.

**SOLUTION:** On a CMOS inverter circuit 21 composed of p-MOS transistor 22 and 23 and n-MOS transistor 24 and 25, the source or the drain of the p-MOS transistor 22 and 23 and the n-MOS transistors 24 and 25 are connected in series between a power source (Vdd) and a grounding (GND), the gate electrodes 31 and 32, which are located on the transistors 22 to 25, are connected with each other and they are used common. By the adoption of the CMOS inverter circuit 21 of said dual gate structure to the final stage of the transistor of a liquid crystal driving circuit, for example, the channel length of the transistor is divided in short, the leakage current of the transistor is reduced by the dispersion of the field strength of the P-N junction part of each transistor, and the increase in circuit area can be suppressed.

?

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号  
特開平9-74204

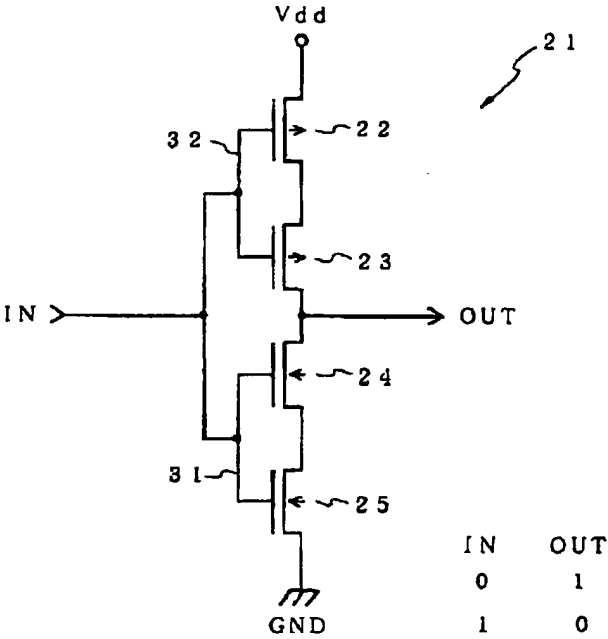
(43)公開日 平成9年(1997)3月18日

(51)Int.Cl. <sup>6</sup>	識別記号	F I		
H01L 29/786		H01L 29/78	612	B
G02F 1/1345		G02F 1/1345		
1/136	500	1/136	500	
G09G 3/36		G09G 3/36		
H01L 21/336		H01L 29/78	613	A
審査請求 未請求 請求項の数 6 F D (全12頁) 最終頁に続く				

(21)出願番号	特願平7-251805	(71)出願人	000001443 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22)出願日	平成7年(1995)9月4日	(72)発明者	両澤 克彦 東京都八王子市石川町2951番地5 カシオ 計算機株式会社八王子研究所内

(54)【発明の名称】表示駆動装置

(57)【要約】  
【課題】 回路面積の増加を最小限に抑えつつ、トランジスタのリーク電流を小さくして、消費電力を低減することができる表示駆動装置を提供する。  
【解決手段】 pMOSトランジスタ22、23とnMOSトランジスタ24、25とで構成されたCMOSインバータ回路21は、電源(Vdd)とグラウンド(GND)との間にpMOSトランジスタ22、23とnMOSトランジスタ24、25のソースもしくはドレインを直列に接続し、トランジスタ22〜25までのゲート電極31、32同士を接続して共通化している。このようなデュアルゲート構造のCMOSインバータ回路21を、例えば、液晶駆動回路の最終段のトランジスタに採用することにより、トランジスタのチャネル長が短く分割され、個々のトランジスタのPN接合部分の電界強度が分散された結果、トランジスタのリーク電流が減少するとともに、回路面積の増大を抑えることができる。



(2)

特開平 9-74204

2

## 【特許請求の範囲】

【請求項 1】表示部に所定の駆動電圧を印加して表示制御を行う表示駆動回路を備えた表示駆動装置であって、前記表示駆動回路の少なくとも最終段に使用される各トランジスタをそれぞれ複数のトランジスタに分割し、該複数のトランジスタのソースもしくはドレインを直列に接続するとともに、複数の分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とする表示駆動装置。

【請求項 2】前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、前記表示駆動回路は前記各画素に表示信号を供給する信号側駆動回路を有し、該信号側駆動回路に含まれたトライステート回路を構成する各トランジスタを複数のトランジスタに分割し、該複数のトランジスタのソースもしくはドレインを直列に接続するとともに、複数の分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とする請求項 1 記載の表示駆動装置。

【請求項 3】前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、前記表示駆動回路は前記各画素に走査信号を供給する走査側駆動回路を有し、該走査側駆動回路に含まれたバッファ回路を構成する各トランジスタを複数のトランジスタに分割し、該複数のトランジスタのソースもしくはドレインを直列に接続するとともに、複数の分割したトランジスタ同士のゲート電極を共通化して同時駆動することを特徴とする請求項 1 記載の表示駆動装置。

【請求項 4】前記トランジスタは、nMOS トランジスタと pMOS トランジスタとを対にして構成した相補型の CMOS トランジスタであることを特徴とする請求項 1 から請求項 3 までの何れかに記載の表示駆動装置。

【請求項 5】前記トランジスタの半導体領域は、少なくとも 2 つの高濃度不純物領域と、この高濃度不純物領域の間に存在する複数のチャネル領域と、前記高濃度不純物領域と前記チャネル領域との間に低濃度不純物領域とを有し、前記各チャネル領域に対応する位置に絶縁層を介してそれぞれ共通化されたゲート電極が形成されていることを特徴とする請求項 1 から請求項 4 までの何れかに記載の表示駆動装置。

【請求項 6】前記各チャネル領域間は、低濃度不純物領域で形成されていることを特徴とする請求項 5 記載の表示駆動装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示駆動装置に関し、詳細には、複数のトランジスタを直列に接続して共通のゲート電極で駆動するマルチゲート構造のトランジスタを用いた表示駆動装置に関する。

【0002】

【従来の技術】表示駆動装置には、例えば、液晶を駆動して表示制御を行う液晶駆動装置などがある。この液晶駆動装置の場合は、表示形態によってセグメント方式とマトリクス方式とに分けることができる。マトリクス方式のものは、画像を表示する用途として液晶テレビ、パソコン、ワープロ等の表示装置に用いられている。そして、マトリクス方式には、単純マトリクス方式とアクティブマトリクス方式とがあるが、高画質である上、クロストーク現象のないアクティブマトリクス方式が注目されている。

【0003】アクティブマトリクス方式の液晶駆動装置は、1画素毎に設けた液晶駆動素子により、その画素の液晶部分に電圧を印加して画像を表示するものである。この液晶駆動素子としては、薄膜トランジスタ (TFT: Thin Film Transistor) が近年急速に普及しつつある。この薄膜トランジスタは、以前のシリコン単結晶基板上に作られた MOS トランジスタのもつ欠点、すなわち、表示画面の寸法に制限があること、透過型にできないこと等を克服する液晶駆動素子として開発されたものである。この薄膜トランジスタは、ガラス等の基板上に形成された半導体薄膜の所定領域に不純物を注入してトランジスタを形成するものである。特に、液晶表示装置用の半導体薄膜の素材としては、セレン化カドミウム、多結晶シリコン、アモルファスシリコン等が用いられる。

【0004】そして、従来、液晶表示装置などのドライバ回路をガラス基板上に薄膜トランジスタ (TFT) を使って一体構成する場合は、通常は CMOS (Complementary Metal Oxide Semiconductor) 回路が用いられている。この CMOS 回路は、電子によって電流を運ぶ nMOS トランジスタと、正孔によって電流を運ぶ pMOS トランジスタとを対にした相補型のトランジスタ回路である。

【0005】例えば、図 7 は、従来の CMOS インバータ回路 1 の構成を示す図である。図 7 に示すように、CMOS インバータ回路 1 は、電源 (Vdd) とグラウンド (GND) との間に pMOS 2 と nMOS 3 の二種類のトランジスタのソースもしくはドレインが直列に接続されて構成されている。

【0006】そして、図 8 は、図 7 の CMOS インバータ回路 1 の断面構成図である。図 8 に示すように、ガラス基板 4 上に所定膜厚の下地絶縁膜 5 が形成され、その上の nMOS トランジスタ形成領域と pMOS トランジスタ形成領域とにそれぞれ選択的に半導体層 6、7 が形成されている。

50

(3)

特開平9-74204

3

【0007】この半導体層6、7上には、順次イオン注入用マスクを形成して、不純物や不純物濃度の異なる領域が形成されるようにn型、あるいは、p型の不純物イオンをドーピングする。具体的には、61、65がn型高濃度不純物注入領域、62、64がn型低濃度不純物注入領域、63が真性半導体領域であってチャネル領域となる。また、71、75は、p型高濃度不純物注入領域、72、74は、p型低濃度不純物注入領域、73は、真性半導体領域であってチャネル領域となる。このように、図8では、半導体層6、7内に段階的に濃度の異なる不純物領域を形成する、いわゆる、低濃度イオン注入ドレイン(LDD)構造が採用されている。もっとも、図8の構造では、レジストパターンの形成が容易であることから、ソース領域もLDD構造を採っている。このLDD構造の採用は、薄膜トランジスタのPN接合部分、すなわち、電極が接続された高濃度不純物領域とチャネル領域との間に低濃度不純物領域が形成されているため、PN接合部分の電界強度が小さくなって、オフ電流(リーク電流)を減少させることが可能となる。

【0008】さらに、上記した下地絶縁膜5と半導体層6、7の表面は、それらを覆うようにゲート絶縁膜8が全面に形成され、そのゲート絶縁膜8上の所定位置にゲート電極9がそれぞれ選択的に形成され、そのゲート電極9上には、ゲート電極9を覆って表面を平坦化するように層間絶縁膜10が形成されている。

【0009】次いで、ソース・ドレイン電極を形成するため、前記層間絶縁膜10と前記ゲート絶縁膜8とを貫いて半導体層6、7の所定位置に到達するコンタクトホールが異方性エッチングによって形成される。そして、各コンタクトホール内には、それぞれアルミニウム(A1)等からなるソース・ドレイン電極11が埋め込まれて配線されることにより、図7に示すCMOSインバータ回路1が形成される。

【0010】上記図7及び図8に示すCMOSインバータ回路1は、IN(入力)が「0」のときに、nMOSトランジスタ3がオフし、pMOSトランジスタ2がオンして電源Vddから「1」がOUT(出力)される。また、入力が「1」のときは、pMOSトランジスタ2がオフし、nMOSトランジスタ3がオンすることでグラウンドから「0」が出力される。このように、CMOSインバータ回路は、入力される論理とは反対の論理を出力することができる。

【0011】また、従来のCMOSトランジスタは、上記したインバータ回路以外にも、CMOSトランジスタを組み合わせて用いることにより、表示駆動装置を構成するのに必要なラッチ回路、アンド回路、ナンド回路、あるいは、トライステート回路等を構成することができる。

【0012】

【発明が解決しようとする課題】しかしながら、このよ

4

うな従来の表示駆動装置にあっては、TFTで構成されたCMOSトランジスタの動作周波数を「f」とし、負荷容量を「C」とし、電源電圧を「Vdd」とし、リーク電流を「IL」とした場合、次式によってCMOSトランジスタの消費電力を表わすことができる。

【0013】 $W$ (消費電力) =  $f \cdot C \cdot Vdd$ (動的な消費電力) +  $IL \cdot Vdd$ (静的な消費電力)

従来のTFTで構成されたCMOSトランジスタは、図8に示すように、半導体層6、7にLDD構造を採用することによって、リーク電流の減少を図っているが、依然としてリーク電流「IL」の値が小さくならず、多数のCMOSトランジスタで構成された表示駆動装置全体の消費電力のうち、リーク電流(静的な消費電力)の占める割合が大きくならざるを得ないという問題があった。

【0014】また、液晶表示装置等に使用される薄膜トランジスタに要求される性能は、液晶を駆動するに十分なオン電流が得られること、および、オフ状態における保持特性を良くするためにオフ電流(リーク電流)が極力少ないことである。ところが、十分なオン電流を得るために、チャネル長を短くして、チャネル幅を大きくすると、PN接合部分の電界強度が大きくなるため、オフ電流が増加するという二律背反の現象が生じる。

【0015】そこで、従来より、半導体薄膜に直列接続した複数の薄膜トランジスタを形成してチャネル長を分割し、各チャネル毎にゲート電極を設けたマルチゲート構造の薄膜トランジスタが用いられている。

【0016】しかしながら、このマルチゲート構造の薄膜トランジスタは、オフ電流を少なくしようとするればそれだけゲート数を増加させねばならず、ゲート数の増加にともなってトランジスタの実装面積も増加するという問題がある。

【0017】特に、液晶駆動回路を構成する多数の薄膜トランジスタからなるCMOS全てをマルチゲート構造とすると、回路面積の増加が一層大きくなるという問題がある。

【0018】そこで、本発明は、上記課題に鑑みてなされたものであって、回路面積の増加を最小限に抑えつつ、トランジスタの静的な消費電力であるリーク電流を小さくして全体の消費電力を低減することが可能な表示駆動装置を提供することを目的としている。

【0019】

【課題を解決するための手段】請求項1記載の表示駆動装置は、表示部に所定の駆動電圧を印加して表示制御を行う表示駆動回路を備えた表示駆動装置であって、前記表示駆動回路の少なくとも最終段に使用される各トランジスタをそれぞれ複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、複数個に分割したトランジスタ同士

のゲート電極を共通化して同時駆動することを特徴とす

(4)

特開平9-74204

5

6

る。

【0020】ここで、上記したように、複数個のトランジスタのソースもしくはドレインを直列に接続し、その複数個のトランジスタのゲート電極を共通化して同時駆動する構造をマルチゲート構造という。本発明では、このマルチゲート構造のトランジスタを表示駆動回路の少なくとも最終段に用いたものである。

【0021】従って、マルチゲート構造のトランジスタを採用した場合は、チャネル長を短く分割することにより、個々のトランジスタにおけるPN接合部分の電界強度が分散されることとなり、その結果オフ電流を減少させることができる。特に、表示駆動回路の最終段では、駆動能力を高くして十分なオン電流を得るために大電流となることから、少なくともこの部分のトランジスタをマルチゲート構造とすることにより、効果的にオフ電流を減少させることができる。

【0022】また、請求項1記載の表示駆動装置は、例えば、請求項2に記載されているように、前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、前記表示駆動回路は前記各画素に表示信号を供給する信号側駆動回路を有し、該信号側駆動回路に含まれたトリステート回路を構成する各トランジスタを複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動するようにしてもよい。

【0023】従って、表示駆動回路である信号側駆動回路の最終段に位置するトリステート回路のトランジスタのみをマルチゲート構造としたため、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をトリステート回路に限定して用いているため、回路面積の増加を最小限に抑えることができる。

【0024】また、請求項1記載の表示駆動装置は、例えば、請求項3に記載されるように、前記表示部は液晶セル内にマトリクス状に画素が形成された液晶表示パネルであって、前記表示駆動回路は前記各画素に走査信号を供給する走査側駆動回路を有し、該走査側駆動回路に含まれたバッファ回路を構成する各トランジスタを複数個のトランジスタに分割し、該複数個のトランジスタのソースもしくはドレインを直列に接続するとともに、複数個に分割したトランジスタ同士のゲート電極を共通化して同時駆動するようにしてもよい。

【0025】従って、表示駆動回路である走査側駆動回路の最終段に位置するバッファ回路のトランジスタのみをマルチゲート構造としたため、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をバッファ回路に限定して用いているため、回路面積の増加を最小限に抑えることができる。

【0026】また、請求項1から請求項3までの何れかの表示駆動装置のトランジスタは、例えば、請求項4に

記載されるように、nMOSトランジスタとpMOSトランジスタとを対にして構成した相補型のCMOSトランジスタであってもよい。

【0027】従って、CMOSトランジスタは、nMOSトランジスタとpMOSトランジスタとを対にして構成されているため、入力されるゲート電圧に対してnMOSトランジスタかpMOSトランジスタの一方がオンすると、他方が必ずオフする構造であるため、消費電流が少ない上、適正な出力レベルが得られる。

【0028】また、請求項1から請求項4までの何れかの表示駆動装置のトランジスタの半導体領域は、例えば、請求項5に記載されるように、少なくとも2つの高濃度不純物領域と、この高濃度不純物領域の間に存在する複数のチャネル領域と、前記高濃度不純物領域と前記チャネル領域との間に低濃度不純物領域とを有し、前記各チャネル領域に対応する位置に絶縁層を介してそれぞれ共通化されたゲート電極が形成されるようにしてもよい。

【0029】従って、上記表示駆動装置のトランジスタは、マルチゲート構造の採用に加えて、低濃度イオン注入ドレイン(LDD)構造を採用しているため、トランジスタのPN接合部分、すなわち、ソース・ドレイン電極が接続された高濃度不純物領域と複数のチャネル領域との間に低濃度不純物領域を有し、PN接合部分の電界強度を小さくすることにより、トランジスタの面積増大を伴うことなく、オフ電流を一層減少させることが可能であり、消費電力を低減することができる。なお、トランジスタのマルチゲート構造は、ゲート電極が2個の場合をデュアルゲート、3個の場合をトリプルゲート、4個の場合をクワッドゲートといい、ゲート電極数は5個以上であってもよい。そして、オフ電流の減少効果は、上記したデュアルゲートよりもゲート数の多いトリプルゲートの方が顕著に減少している。しかし、ゲート数を増加させると回路面積の増大を招くことになるが、LDD構造と組み合わせることによって、トランジスタの面積増大を伴うことなくオフ電流を減少させることができる。

【0030】また、請求項5記載の表示駆動装置の各チャネル領域間は、例えば、請求項6に記載されているように、低濃度不純物領域で形成するようにしてもよい。

【0031】従って、マルチゲート構造のトランジスタの各チャネル領域間を低濃度不純物領域のみで形成しても、LDD構造によるオフ電流の減少効果が得られ、消費電力が低減できる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0033】図1～図6は、本発明の表示駆動装置に係る実施の形態例を示す図であり、ここでは、ガラス基板上に液晶駆動回路と画素部の各画素毎に薄膜トランジス

(5)

特開平9-74204

8

タ(TFT)からなるスイッチング素子を一体形成して、駆動回路一体型液晶表示装置として実施したものである。そして、本実施の形態では、上記した液晶駆動回路の最終段のトランジスタをデュアルゲート構造からなるCMOSTランジスタで構成したものである。

【0034】まず、構成を説明する。

【0035】図1は、液晶駆動回路の最終段を構成するデュアルゲート構造のCMOSTランジスタからなるインバータ回路21を示す図である。図1のインバータ回路21は、図7に示す従来のCMOSTランジスタからなるインバータ回路1のnMOSTランジスタ2とpMOSTランジスタ3をそれぞれ2個に分割し、ゲート電極を共通化したものである。すなわち、図1のインバータ回路21は、pMOSTランジスタ22、23とnMOSTランジスタ24、25とで構成されており、電源(Vdd)とグラウンド(GND)との間にpMOSTランジスタ22、23とnMOSTランジスタ24、25のソースもしくはドレインを直列に接続して構成し、これらのトランジスタ22~25までのゲート電極31、32同士を接続して共通化している。そして、上記した共通のゲート電極をインバータ回路21の入力端子(IN)とし、上記したpMOSTランジスタ23とnMOSTランジスタ24との接続部を出力端子(OUT)としている。

【0036】本実施の形態のように、デュアルゲート構造のトランジスタを採用した場合は、トランジスタのチャネル長が短く分割されたことによって、個々のトランジスタにおけるPN接合部分の電界強度が分散された結果、トランジスタのオフ電流を減少させることができる。

【0037】次に、図2は、図1のCMOSインバータ回路21の断面構成図である。図2に示すように、ガラス基板26の表面の全面にわたって所定膜厚の下地絶縁膜27が形成されている。この下地絶縁膜27の表面には、異なる複数の領域で構成されたnMOSTランジスタ形成領域とpMOSTランジスタ形成領域からなる薄膜半導体層28、29が選択的に形成されている。

【0038】この薄膜半導体層28、29は、図示しない複数のイオン注入用のマスクが形成されて、部分的に不純物、およびその不純物濃度の異なる複数の領域を形成するべくn型、あるいは、p型の半導体を構成する不純物イオンがドーピングされる。

【0039】具体的には、281、287がn型高濃度不純物注入領域であって、282、284、286は、n型低濃度不純物注入領域、283、285は、不純物が注入されない真性半導体領域であってチャネル領域となる。

【0040】また、291、297は、p型高濃度不純物注入領域、292、294、296は、p型低濃度不純物注入領域、293、295は、不純物が注入されな

い真性半導体領域であってチャネル領域となる。

【0041】このように、図2に示すCMOSインバータ回路21では、上記したデュアルゲート構造に加えて、薄膜半導体層28、29内に段階的に濃度の異なる不純物領域を形成した、いわゆる、低濃度イオン注入ドレイン(LDD)構造を採用している。もっとも、図2に示すLDD構造は、ドレイン領域だけでなく、ソース領域もLDD構造を採っている。このLDD構造の採用は、薄膜トランジスタのPN接合部分、すなわち、電極が接続された高濃度不純物領域とチャネル領域との間に低濃度不純物領域が形成されているため、PN接合部分の電界強度が小さくなって、オフ電流(リーク電流)を減少させることが可能となる。

【0042】このように、本実施の形態では、デュアルゲート構造とLDD構造とを組み合わせることにより、回路面積の増加を最小限に抑えつつ、液晶駆動回路を構成する薄膜トランジスタの静的な消費電力(オフ電流)を減少させて、液晶駆動回路全体の消費電力を低減できるようにしたものである。

【0043】再び、図2に戻って、薄膜半導体層28、29の表面は、さらにゲート絶縁膜30で全面が覆われ、このゲート絶縁膜30の表面の各チャネル領域283、285、293、295に相当する位置にゲート電極31、32が形成されている。そして、ゲート絶縁膜30およびゲート電極31、32は、層間絶縁膜33で覆われている。

【0044】次いで、上記した薄膜半導体領域28、29の両端の高濃度不純物領域281、287、291、297の上部のゲート絶縁膜30および層間絶縁膜33には、ソース・ドレイン電極を形成するため、コンタクトホールが異方性エッチングによって形成され、そのコンタクトホール内には、それぞれアルミニウム(Al)等からなるソース・ドレイン電極34が埋め込まれて、図1に示すように配線されることにより、CMOSインバータ回路21が形成される。

【0045】上記した図1及び図2のCMOSインバータ回路21は、IN(入力)が「0」のときに、nMOST24、25がオフし、pMOST22、23がオンして電源Vddから「1」がOUT(出力)される。また、入力「1」のときは、pMOST22、23がオフし、nMOST24、25がオンすることでグラウンドから「0」が出力される。このように、CMOSインバータ回路21は、入力される論理とは反対の論理が出力される。

【0046】上記したように、本実施の形態では、マルチゲート構造にLDD構造を加えたCMOSインバータ回路21を使って、液晶駆動回路の最終段の薄膜トランジスタを構成するようにしている。これは、液晶駆動回路の最終段では、駆動能力を高くて十分なオン電流を得るために大電流となることから、少なくともこの部分

(6)

特開平9-74204

9

10

のトランジスタをマルチゲート構造とすることによって、効果的にオフ電流を減少させることができるためである。

【0047】本実施の形態では、液晶駆動回路の最終段の薄膜トランジスタを図1および図2に示すように、デュアルゲート構造としたが、これに限定されず、複数のゲート電極を持つマルチゲート構造であればよい。例えば、ゲート電極が3個の場合は、トリプルゲート構造、4個の場合は、クワッドゲート構造と称される。このゲート電極数と薄膜トランジスタのオフ電流の減少効果は、ゲート電極数が増えるにしたがって顕著に減少するが、やみくもにゲート数を増加させるだけでは、回路面積の増大を招くことになる。

【0048】このため、本実施の形態では、上記したマルチゲート構造を液晶駆動回路の最終段の薄膜トランジスタに限定するとともに、後述するLDD構造を組み合わせることによって、トランジスタの面積増大を最小限に抑えつつ、オフ電流の減少効果を得るようにしている。

【0049】次に、図3は、本実施の形態に係る駆動回路一体型TFT-LCD41の概略構成図である。この駆動回路一体型TFT-LCD41は、ガラス基板45上に液晶表示パネル(TFT-LCD:Thin Film Transistor-Liquid Crystal Display)42と、液晶表示パネル42にマトリクス状に配置された各画素のスイッチング素子を駆動するゲートドライバ43と、ドレインドライバ44とをCOG(Chip On Glass)技術により一体形成している。

【0050】そして、図4は、図3の液晶駆動回路と液晶表示パネルの具体例の一部を示す図である。

【0051】図4に示す液晶表示パネル42では、各画素毎に接続されたTFTと、そのTFTが画素電極を介してコモン電極との間で液晶容量LCを形成している。そして、ゲートドライバ43からは、各ゲートラインG1、G2、G3、……に走査信号を順次印加して各走査ラインに接続されたTFTのゲートを駆動して、選択状態と非選択状態とを作り出す。ここで、ゲートドライバ43によって選択状態とした走査ライン上のTFTは、ドレインドライバ44から各ドレインラインD1、D2、……に対して表示信号が印加されると、選択状態にある画素電極に駆動電圧が印加されて、コモン電極との間の電位差によって液晶が駆動され、表示制御が行われる。

【0052】本実施の形態では、液晶駆動回路であるドレインドライバ44とゲートドライバ43の構成に特徴があるため、ドレインドライバとゲートドライバに分けてそれぞれの構成と動作を説明する。

【0053】(ドレインドライバ) 図4に示すように、ドレインドライバ44は、データ用シフトレジスタ52と、ラッチ回路LA101、LA102と、トライステ

ート回路TS101、TS102とで構成されている。

【0054】データ用シフトレジスタ52は、外部回路51から水平同期信号φHおよび水平用クロック信号CPHが入力され、水平同期信号φHを水平用クロック信号CPHによって順次シフトしながら、各出力端子DSR1、DSR2からそれぞれラッチ回路LA101、LA102の制御端子Lに対して、映像信号をラッチするためのラッチ信号を出力する。

【0055】ラッチ回路LA101、LA102は、各ドレインラインD1、D2、……に対応した数だけ設けられ、その入力端子Iは映像信号ラインL100に接続されていて、この映像信号ラインL100には外部回路51から2値映像信号DATAが印加されるとともに、上記したデータ用シフトレジスタ52から制御端子Lにラッチ信号が入力される。映像信号ラインL100から入力されるシリアル2値映像信号DATAは、各ラッチ回路LA101、LA102に入力されるラッチ信号のタイミングでデータをラッチして、そのラッチデータが出力端子Oから次段のトライステート回路に出力される。

【0056】トライステート回路TS101、TS102は、ドレインドライバ44の最終段に各ドレインラインD1、D2、……に対応した数だけ配置され、上記したラッチ回路のラッチデータに基づいて、液晶を交流駆動するための液晶駆動電圧を生成する回路である。トライステート回路TS101、TS102の制御端子は、それぞれラッチ回路LA101、LA102の出力端子Oに接続されるとともに、各トライステート回路の正電源端子および負電源端子には、出力用正電源V0Hおよび出力用負電源V0Lが接続されている。そして、各トライステート回路TS101、TS102、……の出力端子には、それぞれドレインラインD1、D2、……が接続され、各TFTを介して画素電極に液晶駆動電圧が供給される。

【0057】図5は、図4のラッチ回路LA101とトライステート回路TS101の具体的構成例を示す図である。図5に示すラッチ回路LA101は、トランスファゲートTG1、TG2と、インバータIN1、IN2、IN3とを備えている。

【0058】そして、上記したデータ用シフトレジスタ52の出力端DSR1は、トランスファゲートTG1のP側制御端子およびトランスファゲートTG2のN側制御端子に接続されるとともに、インバータIN1を介してトランスファゲートTG1のN側制御端子およびトランスファゲートTG2のP側制御端子に接続されている。そして、トランスファゲートTG1の第1の非制御端子は映像信号ラインL100に接続され、このトランスファゲートTG1の第2の非制御端子はインバータIN2、IN3を直列に介してトランスファゲートTG2の第1の非制御端子に接続され、このトラ



(7)

特開平9-74204

ii

12

ンスファークゲートTG2の第2の非制御端子はトランスファークゲートTG1の第2の非制御端子に接続されている。

【0059】次に、図5に示すトライステート回路TS101は、インバータIN4、IN5、IN6と、トランジスタTR1～TR10とを備えている。ここでは、上記トランジスタは、TR1、TR2、TR4、TR7、TR8がpMOSトランジスタであって、TR3、TR5、TR6、TR9、TR10がnMOSトランジスタで構成されている。

【0060】そこで、上記したラッチ回路LA101のインバータIN2とIN3の接続部からは、トライステート回路TS101のインバータIN4、IN5、IN6を直列に介してpMOSトランジスタTR1およびnMOSトランジスタTR5のそれぞれのゲートに接続される。

【0061】また、前記インバータIN5とIN6の接続部は、pMOSトランジスタTR2およびnMOSトランジスタTR3のそれぞれのゲートに接続される。

【0062】さらに、pMOSトランジスタTR4およびnMOSトランジスタTR6のそれぞれのゲートは、フレーム信号φfが入力されるフレーム信号ライン55に接続される。

【0063】そして、前記pMOSトランジスタTR1のソースは、正電源VCCに接続され、ドレインがpMOSトランジスタTR2のソースに接続される。さらに、このpMOSトランジスタTR2のドレインは、nMOSトランジスタTR3のドレインに接続され、このnMOSトランジスタTR3のソースは、グラウンドに接地される。

【0064】また、前記pMOSトランジスタTR4は、ソースが正電源VCCに接続され、ドレインがnMOSトランジスタTR5のドレインに接続される。このnMOSトランジスタTR5のソースは、さらに、nMOSトランジスタTR6のドレインに接続され、このnMOSトランジスタTR6のソースは、グラウンドに接地される。

【0065】そして、前記pMOSトランジスタTR1とTR4のドレイン同士が接続されるとともに、デュアルゲート構造のCMOSインバータ回路56のpMOSトランジスタTR7およびTR8の共通化されたゲート電極に接続される。

【0066】また、前記pMOSトランジスタTR2のドレインは、nMOSトランジスタTR5のソースが接続されるとともに、デュアルゲート構造のCMOSインバータ回路56のnMOSトランジスタTR9およびTR10の共通化されたゲート電極に接続される。

【0067】そして、前記CMOSインバータ回路56のpMOSトランジスタTR7のソースは、出力用正電源VOHに接続され、pMOSトランジスタTR8のドレ

インがデータラインD1に接続されるとともに、nMOSトランジスタTR9のドレインに接続され、nMOSトランジスタTR10のソースは、出力用負電源VOLに接続される。

【0068】本実施の形態に係るドレインドライバ44の特徴的な構成は、液晶駆動回路であるドレインドライバ44の最終段に配置されたトライステート回路TS101に、トランジスタTR7～TR10を使って、デュアルゲート構造（いわゆる、マルチゲート構造）からなるCMOSインバータ回路56を形成したことにある。これにより、通常のCMOSインバータ回路を使えば場合よりもチャンネル長が短く分割され、個々のトランジスタにおけるPN接合部分の電界強度が分散されて、トランジスタのオフ電流を減少させることができる。特に、本実施の形態では、駆動能力を十分高めて、十分なオン電流を得るために大電流を流すドレインドライバ44の最終段にのみデュアルゲート構造を採用したため、回路面積の増大を最小限に止めつつ、効果的にオフ電流を減少させるようにしたものである。

【0069】次に、動作を説明する。

【0070】図4に示すデータ用シフトレジスタ52は、外部回路51から水平同期信号φHおよび水平用クロック信号CPHが入力されて信号DSR1を出力し、ラッチ回路LA101の制御端子Lに供給する。また、ラッチ回路LA101の入力端子Iには、映像信号DATAが供給される。

【0071】図5では、データ用シフトレジスタ52からの出力信号DSR1がロー（Low）レベルになった時、インバータIN1の出力はハイ（High）レベルになるため、トランスファークゲートTG1はオンになり、映像信号DATAが取り込まれ、データ用シフトレジスタ52の出力信号DSR1がハイレベルになった時、インバータIN1の出力はローレベルになるため、トランスファークゲートTG1はオフになるとともに、トランスファークゲートTG2オンとなり、映像信号DATAが記憶される。

【0072】そこで、前記映像信号DATAがローレベルの場合について説明する。

【0073】ローレベルの映像信号DATAは、インバータIN2、IN4、IN5を介してハイレベルとなり、pMOSトランジスタTR2およびnMOSトランジスタTR3のそれぞれのゲートに供給されるため、pMOSトランジスタTR2がオフ、nMOSトランジスタTR3がオンとなる。また、ローレベルの映像信号DATAは、インバータIN2、IN4、IN5、IN6を介してローレベルとなり、pMOSトランジスタTR1およびnMOSトランジスタTR5のそれぞれのゲートに供給されるため、pMOSトランジスタTR1がオン、nMOSトランジスタTR5がオフとなる。nMOSトランジスタTR3がオンすることにより、nMOS

( 8 )

特開平9-74204

13

トランジスタTR9およびTR10のゲートが接地されてオフとなる。また、pMOSTランジスタTR1がオンすることにより、pMOSTランジスタTR7およびTR8は、ゲートに正電源VCCが供給されてオフとなる。したがって、データラインD1には、出力用正電源VOHおよび出力用負電源VOLは供給されない。

【0074】次に、前記映像信号DATAがハイレベルで、フレーム信号φfがハイレベルの場合について説明する。

【0075】ハイレベルの映像信号DATAは、インバ  
ータIN2、IN4、IN5を介してローレベルとな  
り、pMOSTランジスタTR2およびnMOSTラン  
ジスタTR3のそれぞれのゲートに供給されるため、p  
MOSTランジスタTR2がオン、nMOSTランジス  
タTR3がオフとなる。また、ハイレベルの映像信号D  
ATAは、インバータIN2、IN4、IN5、IN6  
を介してハイレベルとなり、pMOSTランジスタTR  
1およびnMOSTランジスタTR5のそれぞれのゲ  
ートに供給されるため、pMOSTランジスタTR1がオ  
フ、nMOSTランジスタTR5がオンとなる。また、  
ハイレベルのフレーム信号φfがpMOSTランジスタ  
TR4およびnMOSTランジスタTR6のそれぞれの  
ゲートに供給されるため、pMOSTランジスタTR4  
がオフ、nMOSTランジスタTR6がオンとなる。n  
MOSTランジスタTR5およびnMOSTランジスタ  
TR6がオンすることにより、pMOSTランジスタT  
R7およびTR8はゲートが接地されてオンになると  
ともに、nMOSTランジスタTR9およびTR10はゲ  
ートが接地されてオフとなる。したがって、pMOST  
ランジスタTR7およびTR8がオンすることにより、  
データラインD1には、出力用正電源VOHが供給され  
る。

【0076】次に、前記映像信号DATAがハイレベル  
でフレーム信号φfがローレベルの場合について説明す  
る。

【0077】ハイレベルの映像信号DATAは、インバ  
ータIN2、IN4、IN5を介してローレベルとな  
り、pMOSTランジスタTR2およびnMOSTラン  
ジスタTR3のそれぞれのゲートに供給されるため、p  
MOSTランジスタTR2がオン、nMOSTランジス  
タTR3がオフとなる。また、ハイレベルの映像信号D  
ATAは、インバータIN2、IN4、IN5、IN6  
を介してハイレベルとなり、pMOSTランジスタTR  
1およびnMOSTランジスタTR5のそれぞれのゲ  
ートに供給されるため、pMOSTランジスタTR1がオ  
フ、nMOSTランジスタTR5がオンとなる。また、  
ローレベルのフレーム信号φfがpMOSTランジスタ  
TR4およびnMOSTランジスタTR6のそれぞれの  
ゲートに供給されるため、pMOSTランジスタTR4  
がオン、nMOSTランジスタTR6がオフとなる。p

14

MOSTランジスタTR4およびnMOSTランジスタ  
TR5がオンすることにより、pMOSTランジスタT  
R7およびTR8は、ゲートに正電源VCCが供給されて  
オフとなるとともに、nMOSTランジスタTR9およ  
びTR10はゲートに正電源VCCが供給されてオンとな  
る。したがって、nMOSTランジスタTR9およびT  
R10がオンすることにより、データラインD1には出  
力用負電源VOLが供給される。

【0078】このように、上記した実施の形態では、ド  
レインドライバ44の最終段に配置されたトリステ  
ート回路TS101に、トランジスタTR7~TR10を  
使ったデュアルゲート構造からなるCMOSインバー  
タ回路56を設けたため、回路面積の増大を最小限に止め  
つつ、個々のトランジスタにおけるPN接合部分の電界  
強度が分散するので、効果的にオフ電流を減少させるこ  
とができ、ドレインドライバ44の消費電力を低減する  
ことができる。

【0079】(ゲートドライバ) 図4に示すように、ゲ  
ートドライバ43は、走査用シフトレジスタ53と、パ  
ッファ回路54とで構成されている。

【0080】走査用シフトレジスタ53は、外部回路5  
1から垂直同期信号φVおよび垂直用クロック信号CP  
Vが入力される。この垂直同期信号φVおよび垂直用ク  
ロック信号CPVにより、走査用シフトレジスタ53  
は、複数のゲートラインに加える水平走査信号を生成  
し、各バッファ回路54で信号を増幅しながらゲートラ  
インG1、G2、G3、……に順次印加して、液晶表示  
パネル42の各画素の薄膜トランジスタ(TFT)をオ  
ン/オフ駆動して水平走査を行っている。

【0081】図6は、図4の走査用シフトレジスタ53  
とバッファ回路54の具体的な構成例を示す図である。

【0082】図6に示すように、走査用シフトレジスタ  
53は、ラッチ回路61、62、63、64、……と、  
ナンド回路71、72、73、74、……とで構成され  
ている。

【0083】ラッチ回路61、62、63、64は、外  
部回路51から入力される垂直同期信号φVと反転垂直  
同期信号φVとが制御信号入力端部Lと反転制御信号  
入力端部L<sup>1</sup>とに1つ置きに逆の位相で入力され、制御  
信号入力端部Lに「1」が入ると入力信号をスルーで出  
力し、「0」が入ると従前の入力信号をラッチする。

【0084】ラッチ回路61への入力信号は、入力端部  
Iに外部回路51から垂直用クロック信号CPVが入力  
されると、スルー状態とラッチ状態に応じた出力信号が  
出力端部Oと反転出力端部O<sup>1</sup>から出力され、ナンド回  
路71と次段のラッチ回路62の入力端部Iに入力され  
る。

【0085】同様に、ラッチ回路62の出力信号は、ナ  
ンド回路71と72および次段のラッチ回路63の入力  
端部Iに入力される。

(9)

特開平9-74204

15

【0086】そして、ナンド回路71は、ラッチ回路61とラッチ回路62のそれぞれの反転出力端部 $\overline{O}$ からの反転出力が入力されて、その否定的論理積を出力する。

【0087】上記と同様に、ラッチ回路63、64、……と、ナンド回路73、74、……とが連続して接続されてシフトレジスタが構成され、各ナンド回路71~74、……からそれぞれ所定のタイミングで出力される否定的論理積が次段のバッファ回路54に順次出力される。

【0088】バッファ回路54は、ここでは、3個のインバータ回路（例えば、81、91、101）がそれぞれ従列接続されて構成されたもので、各ナンド回路から入力される否定的論理積を各インバータ回路を介して順次論理を反転しながら増幅され、各ゲートラインG1、G2、G3、G4、……にそれぞれ出力される。

【0089】図6は、4ライン分のゲートラインに供給するゲートドライバ43の一部の構成を説明したにすぎず、上記した各回路が垂直方向に配列されたライン数に応じて配列されている。これにより、各ゲートラインを所定の走査方式によってライン走査することにより、それぞれのゲートラインを選択状態、あるいは非選択状態とするものである。

【0090】このように、本実施の形態に係るゲートドライバ43の特徴的な構成は、液晶駆動回路であるゲートドライバ43の最終段に配置されたバッファ回路54の、一部のインバータ回路101~104を、図1および図2に示したデュアルゲート構造からなるCMOSインバータ回路としたことにある。これにより、通常のCMOSインバータ回路よりもチャンネル長が短く分割され、個々のトランジスタにおけるPN接合部分の電界強度が分散されて、トランジスタのオフ電流を減少させることができる。特に、本実施の形態では、駆動能力を十分高めて、十分なオン電流を得るために大電流を流すゲートドライバ43の最終段にデュアルゲート構造を採用したため、回路面積の増大を最小限に止めつつ、効果的にオフ電流を減少させることができ、ゲートドライバ43の消費電力を低減することができる。

【0091】そして、上記したドレインドライバ44とゲートドライバ43とは、ゲートドライバ43によって液晶表示パネル42のゲートラインG1、G2、G3、……に順次水平走査信号を印加して選択状態とし、その選択状態にある水平走査ライン上の各画素に対応した映像信号をドレインドライバ44から各データラインD1、D2、……を介して供給し、所定画素の薄膜トランジスタに信号電荷を伝送して液晶を駆動することにより、表示が行われる。

【0092】以上、本発明者らによってなされた発明を好適な実施の形態に基づいて具体的に説明したが、本発明は上記実施の形態例に限定されるものではなく、その

16

要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0093】例えば、上記実施の形態例では、デュアルゲート構造のトランジスタで説明したが、トリプルゲートやクワッドゲートのようにもっとゲート数が多くなればオフ電流の低減効果を増大させることができる。このため、トランジスタは、複数の分割して複数のゲート電極を共通化した、いわゆる、マルチゲート構造であれば良い。

10 【0094】また、上記実施の形態例では、ドレインドライバ44の最終段に設けられた各トライステート回路TS101、TS102、……の出力段部分にマルチゲート構造のCMOSインバータ回路56を配置したが、これ以外の各トライステート回路内のトランジスタをマルチゲート構造としてもよい。

【0095】また、上記実施の形態例では、ゲートドライバ43の最終段に設けられたバッファ回路54の出力段部分のインバータ回路101、102、103、104、……をマルチゲート構造のCMOSトランジスタで構成したが、バッファ回路54内のインバータ回路全てをマルチゲート構造としてもよい。

20 【0096】また、上記実施の形態例では、マルチゲート構造にLDD構造を付加したトランジスタで説明したが、マルチゲート構造ではあるがLDD構造で無いトランジスタで構成しても良い。

【0097】なお、上記実施の形態において、マルチゲート構造やLDD構造を採用したTFTは、液晶駆動回路のTFTとしたが、もちろんこれに限定されるものではなく、画素部を構成するTFTにも上記したマルチゲート構造やLDD構造を採用しても良い。

30 【0098】

【発明の効果】請求項1記載の表示駆動装置によれば、マルチゲート構造のトランジスタを表示駆動回路の少なくとも最終段に用いている。この表示駆動回路の最終段では、駆動能力を高くして十分なオン電流を得るために大電流となることから、少なくともこの部分のトランジスタをマルチゲート構造とすることにより、トランジスタのPN接合部分の電界強度が分散され、その結果、オフ電流を減少させることができるので、表示駆動装置の消費電力を低減することができる。

40 【0099】請求項2記載の表示駆動装置によれば、表示駆動回路である信号側駆動回路の最終段に位置するトライステート回路のトランジスタのみをマルチゲート構造としたので、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をトライステート回路に限定したため、回路面積の増加を最小限に抑えることができる。

50 【0100】請求項3記載の表示駆動装置によれば、表示駆動回路である走査側駆動回路の最終段に位置するバッファ回路のトランジスタのみをマルチゲート構造とし

(10)

特開平9-74204

17

たので、効果的にオフ電流を減少させることができるとともに、マルチゲート構造をバッファ回路に限定したため、回路面積の増加を最小限に抑えることができる。

【0101】請求項4記載の表示駆動装置によれば、前記トランジスタをnMOSトランジスタとpMOSトランジスタとを対にした相補型のCMOSトランジスタとしたので、低消費電力化できるとともに、適正な出力レベルを得ることができる。

【0102】請求項5記載の表示駆動装置によれば、前記トランジスタの半導体領域に、上記マルチゲート構造に加えて、低濃度イオン注入ドレイン(LDD)構造を採用し、ソース・ドレイン電極が接続された高濃度不純物領域と複数のチャネル領域との間に低濃度不純物領域を有しているので、PN接合部分の電界強度が小さくなって、オフ電流をさらに減少させることができる。このため、マルチゲート構造のゲート数を増やすと回路面積が増大するが、LDD構造と組み合わせることによって、トランジスタの面積増大を最小限に抑えつつ、オフ電流を減少させることができる。

【0103】請求項6記載の表示駆動装置によれば、分割したトランジスタの各チャネル領域間は、低濃度不純物領域を形成するようにしたので、LDD構造によるオフ電流の減少効果が得られ、消費電力を低減化することができる。

【図面の簡単な説明】

【図1】液晶駆動回路の最終段を構成するデュアルゲート構造のCMOSトランジスタからなるインバータ回路を示す図。

【図2】図1のCMOSインバータ回路の断面構成図。

【図3】本実施の形態に係る駆動回路一体型TFT-LCDの概略構成図。

【図4】図3の液晶駆動回路と液晶表示パネルの具体例の一部を示す図。

【図5】図4のラッチ回路とトライステート回路の具体的構成例を示す図。

18

【図6】図4の走査用シフトレジスタとバッファ回路の具体的構成例を示す図。

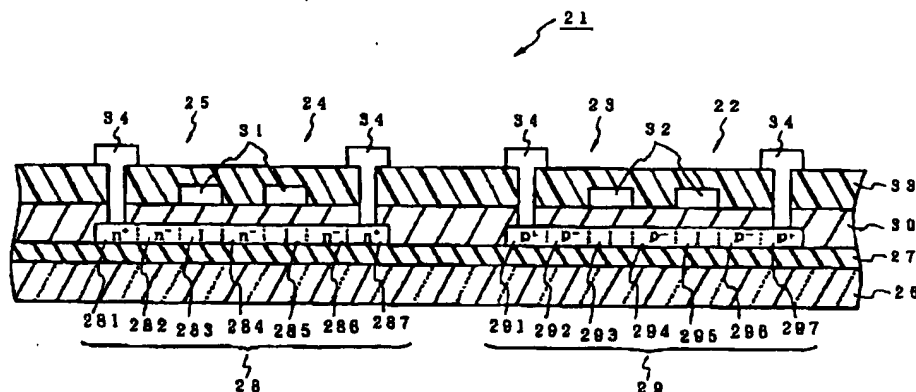
【図7】従来のCMOSインバータ回路の構成を示す図。

【図8】図7のCMOSインバータ回路の断面構成図。

【符号の説明】

21	インバータ回路
22、23	pMOSトランジスタ
24、25	nMOSトランジスタ
26	ガラス基板
27	下地絶縁膜
28、29	薄膜半導体層
281、287	n型高濃度不純物注入領域
282、284、286	n型低濃度不純物注入領域
283、285	チャネル領域
291、297	p型高濃度不純物注入領域
292、294、296	p型低濃度不純物注入領域
293、295	チャネル領域となる。
30	ゲート絶縁膜
31、32	ゲート電極
33	層間絶縁膜
34	ソース・ドレイン電極
42	液晶表示パネル
43	ゲートドライバ
44	ドレインドライバ
51	外部回路
52	データ用シフトレジスタ
53	走査用シフトレジスタ
54	バッファ回路
LA101、LA102	ラッチ回路
TS101、TS102	トライステート回路
TR7、TR8	pMOSトランジスタ
TR9、TR10	nMOSトランジスタ
81~104	インバータ回路

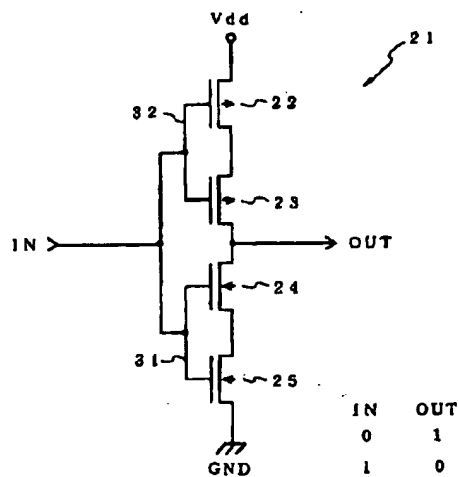
【図2】



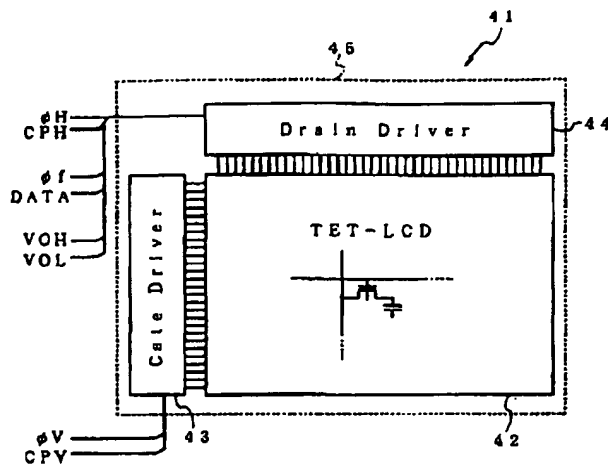
(11.)

特開平9-74204

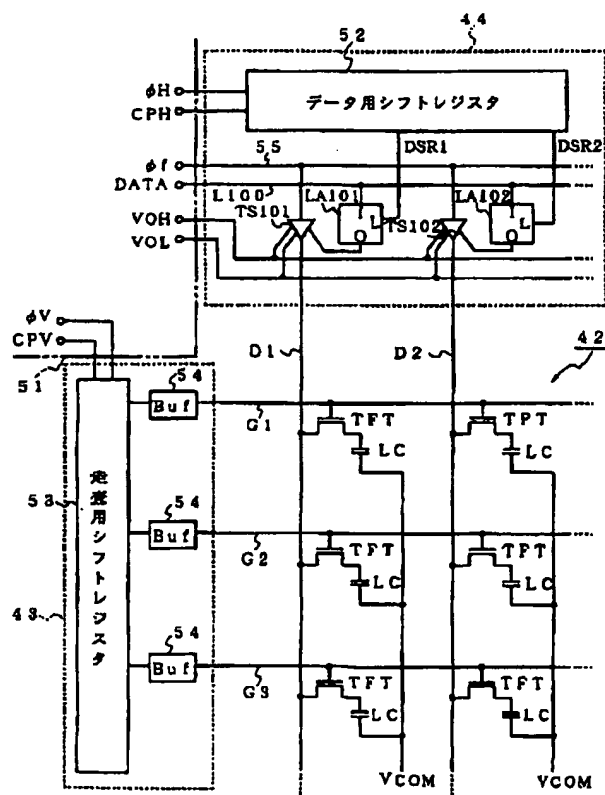
【図1】



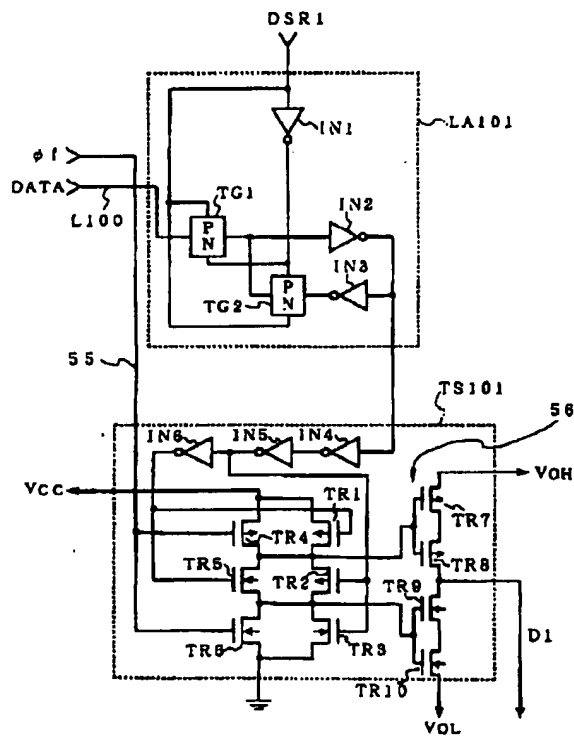
【図3】



【図4】



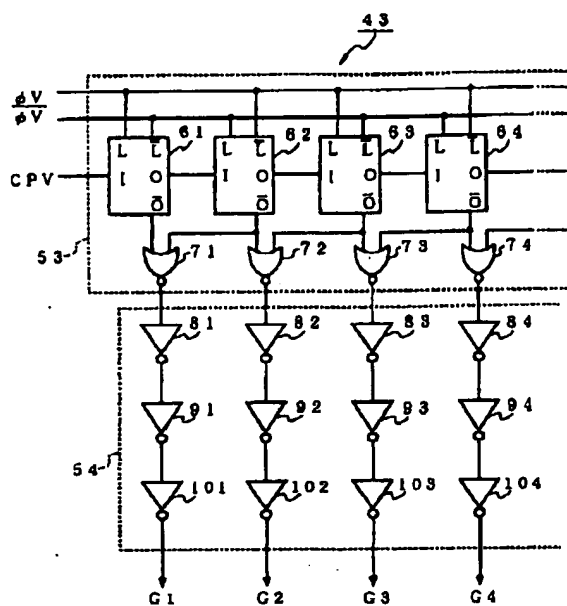
【図5】



( 12 )

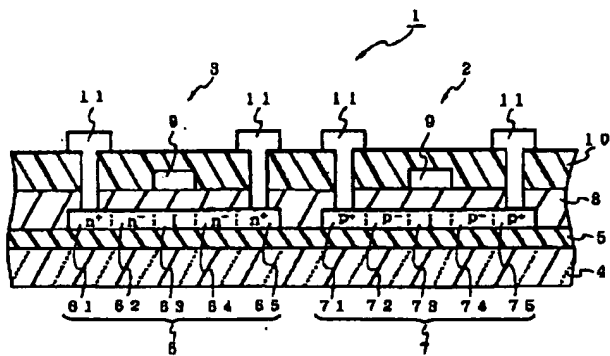
特開平 9 - 7 4 2 0 4

【図 6】

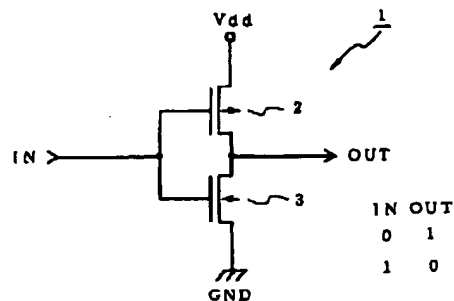


to GateLine

【図 8】



【図 7】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

H 0 1 L 29/78

技術表示箇所

6 1 4

6 1 6 A

(19) Japanese Patent Office (JP)

(12) Publication of Laid-Open Patent Application (A)

(11) Publication Number of Patent Application:

Japanese Patent Laid-Open Publication No. 9-74204

(43) Date of Publication Application:

March 18, 1997

(51) Int. Cl.<sup>6</sup>: H 01 L 29/786, G 02 F 1/1345, 1/136, G 09 G 3/36, H 01 L 21/336

Identification Symbol: 500

FI: H 01 L 29/78 612 B,

G 02 F 1/1345,

1/136 500

G 09 G 3/36,

H 01 L 29/78 613A

Request for Examination: Not requested

Number of Claims: 6

FD

Total 12 pages

Continued to the last page

(21) Application Number:

Japanese Patent Application No. 7-251805

(22) Date of Filing: September 4, 1995

(71) Applicant: 000001443

CASIO COMPUTER CO., LTD.

6-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo

(72) Inventor: Katsuhiko MOTOSAWA

c/o CASIO COMPUTER CO., LTD.

Hachioji Research and Development Center

2951-5, Ishikawa-cho, Hachioji-shi, Tokyo

(54) [Title of the Invention]

Display Driving Device

(57) [Abstract]

[Problem to be solved] To provide a display driving device with which power consumption can be decreased by reducing a leakage current of a transistor, while minimizing the increase in the circuit area.

[Solution] On a CMOS inverter circuit 21 composed of p-MOS transistors 22 and 23 and n-MOS transistors 24 and 25, the source or the drain of the p-MOS transistors 22

and 23 and the n-MOS transistors 24 and 25 are connected in series between a power source (Vdd) and a grounding (GND), the gate electrodes 31 and 32 which are located on the transistors 22 to 25 are connected with each other and they are used common. By adopting the CMOS inverter circuit 21 with the dual gate structure as this to the final stage of the transistor of a liquid crystal driving circuit, for example, the channel length of the transistor is divided to be shortened, and the electric field strength of the PN junction part of each transistor is dispersed. As a result, the leakage current of the transistor is decreased and the increase in the circuit area can be suppressed.

**[Scope of Claims]**

**[Claim 1]** A display driving device comprising a display driving circuit that performs a display control by applying a predetermined driving voltage to a display part, wherein:

each transistor used at least in a final stage of the display driving circuit is divided into a plurality of transistors respectively;

sources or drains of the plurality of transistors are connected in series; and

gate electrodes of the transistors divided and pluralized are connected to be common so as to be driven at the same time.

**[Claim 2]** A display driving device according to claim 1, wherein:

the display part is a liquid crystal display panel with pixels formed in a matrix in a liquid crystal cell;

the display driving circuit has a signal side driving circuit that supplies a display signal to each of the pixels, and each transistor constituting a tristate circuit included in the signal side driving circuit is divided into a plurality of transistors;

sources or drains of the plurality of transistors are connected in series; and

gate electrodes of the transistors divided and pluralized are connected to be common so as to be driven at the same time.

**[Claim 3]** A display driving device according to claim 1, wherein:

the display part is a liquid crystal display panel with pixels formed in a matrix in a liquid crystal cell;

the display driving circuit has a scan side driving circuit that supplies a scan signal to each of the pixels, and each transistor constituting a buffer circuit included in the scan side driving circuit is divided into a plurality of transistors;

sources or drains of the plurality of transistors are connected in series; and

gate electrodes of the transistors divided and pluralized are connected to be common so as to be driven at the same time.

**[Claim 4]** A display driving device according to any one of claim 1 to claim 3,



wherein the transistor is a complementary CMOS transistor structured by an n-MOS transistor and a p-MOS transistor making a pair.

[Claim 5] A display driving device according to any one of claim 1 to claim 4, wherein:

a semiconductor region of the transistor has at least two high concentration impurity regions, a plurality of channel regions existing between these high concentration impurity regions, and a low concentration impurity region between the high concentration impurity region and the channel region; and

a gate electrode made to be common respectively is formed in a position which corresponds to each of the channel regions, with an insulating layer therebetween.

[Claim 6] A display driving device according to claim 5, wherein a space between each of the channel regions is formed of a low concentration impurity region.

[Detailed Description of the Invention]

[0001]

[Technical Field] The present invention relates to a display driving device, and in detail, a display driving device using a transistor of a multigate structure where a plurality of transistors are connected in series and driven by a common electrode.

[0002]

[Prior Art] A liquid crystal driving device which performs a display control by driving liquid crystal is an example of a display driving device. As for the case of the liquid crystal driving device, there are a segment method and a matrix method, depending on the display mode. One with the matrix method is used for the display device of a liquid crystal TV, a personal computer, a word processor and the like to display an image. The matrix method includes a simple matrix method and an active matrix method, and the active matrix method is drawing the attention because of its high image quality and having no cross talk phenomenon.

[0003] The liquid crystal driving device of the active matrix method displays an image by applying a voltage to a liquid crystal part of a pixel by a liquid crystal driving element provided for each pixel. As an example of the liquid crystal driving element, a thin film transistor (TFT) has been rapidly spreading recently. The thin film transistor was developed as a liquid crystal driving element which can overcome the demerits of a conventional MOS transistor formed on a silicon single crystal substrate, that is, the size of a display screen is limited, and it can't be made transparent, etc. The thin film transistor is a transistor formed by injecting an impurity into a predetermined region in a semiconductor thin film formed on a substrate such as a glass. Especially, as a material of the semiconductor thin film for a liquid crystal display device, cadmium

selenide, polycrystalline silicon, amorphous silicon or the like is used.

[0004] Conventionally, in the case where a driver circuit such as a liquid crystal display device is structured together on a glass substrate using a thin film transistor (TFT), a CMOS (Complementary Metal Oxide Semiconductor) circuit is usually used. The CMOS circuit is a complementary transistor circuit in which an n-MOS transistor where an electric current is carried by an electron and a p-MOS transistor where an electric current is carried by a hole are provided as a pair.

[0005] For example, Fig. 7 is a diagram to show a structure of a conventional CMOS inverter circuit 1. As shown in Fig. 7, the CMOS inverter circuit 1 is structured by two kinds of transistors p-MOS 2 and n-MOS 3 whose sources and drains are connected in series between a power source (Vdd) and a grounding (GND).

[0006] Fig. 8 is a cross-sectional view of the CMOS inverter circuit 1 in Fig. 7. As shown in Fig. 8, a base insulating film 5 with a predetermined film thickness is formed on a glass substrate 4, and semiconductor layers 6 and 7 are formed selectively in an n-MOS transistor formation region and a p-MOS transistor formation region on the insulating film.

[0007] On the semiconductor layers 6 and 7, a mask for ion doping is formed sequentially, and impurity ions of n-type or p-type are doped so that regions with different impurities or different impurity concentrations are formed. Specifically, 61 and 65 are n-type high concentration impurity doped regions, 62 and 64 are n-type low concentration impurity doped regions, and 63 is an intrinsic semiconductor region which makes a channel region. Further, 71 and 75 are p-type high concentration impurity doped regions, 72 and 74 are p-type low concentration impurity doped regions, and 73 is an intrinsic semiconductor region which makes a channel region. In this way, in Fig. 8, impurity regions having concentrations varied in a phased manner are formed in the semiconductor layers 6 and 7, that is to say, a lightly doped drain (LDD) structure is adopted. In the structure in Fig. 8, the source region also has the LDD structure, since the formation of a resist pattern is easy. The adoption of the LDD structure enables an off current (leakage current) to be decreased, since the low concentration impurity region is formed in a PN junction part of the thin film transistor, that is, between the high concentration impurity region with which an electrode is connected and the channel region, so the electric field strength of the PN junction part is small.

[0008] Furthermore, a gate insulating film 8 is formed on the above-mentioned base insulating film 5 and the semiconductor layers 6 and 7 so as to cover all the surface of them, and gate electrodes 9 are formed selectively in predetermined areas on the gate insulating film 8. On the gate electrodes 9, an interlayer insulating film 10 is formed

so as to cover the gate electrodes 9 and planarize the surface.

[0009] Next, in order to form source/drain electrodes, contact holes that reach predetermined areas of the semiconductor layer 6 and 7 through the interlayer insulating film 10 and the gate insulating film 8 are formed by anisotropic etching. And the inside of each contact hole is filled with a source/drain electrode 11 made of aluminum (Al) or the like to make a wiring, so that the CMOS inverter circuit 1 shown in Fig. 7 is formed.

[0010] In the CMOS inverter circuit 1 shown in Fig. 7 and Fig. 8, when "0" is inputted (IN), the n-MOS transistor 3 is off and the p-MOS transistor 2 is on, and "1" is outputted (OUT) from the power source Vdd. When "1" is inputted, the p-MOS transistor 2 is off and the n-MOS transistor 3 is on, and "0" is outputted from the grounding. In this way, the CMOS inverter circuit can output the opposite logic to the inputted logic.

[0011] Furthermore, in addition to the above-mentioned inverter circuit, a latch circuit, an AND circuit, a NAND circuit, a tristate circuit or the like, which are necessary for structuring a display driving device, can be structured by using the conventional CMOS transistors combined.

[0012]

[Problem to be Solved by the Invention] However, as for the conventional display driving device as this, when an operating frequency of a CMOS transistor structured by TFT is described as "f", a load capacitance "C", a power source voltage "Vdd", and a leakage current "IL", the power consumption of the CMOS transistor can be described by the following formula.

[0013]  $W(\text{power consumption}) = f \cdot C \cdot Vdd$  (dynamic power consumption) +  $IL \cdot Vdd$  (static power consumption)

As shown in Fig. 8, the CMOS transistor structured by the conventional TFT attempts to reduce a leakage current by adopting a LDD structure to the semiconductor layers 6 and 7. However, the value of the leakage current "IL" is not reduced still, and the percentage of the leakage current (static power consumption) in the whole power consumption of the display driving device structured by many CMOS transistors is large, which has been a problem.

[0014] Furthermore, the performance required for a thin film transistor that is used for a liquid crystal display device or the like is that enough on current to drive liquid crystal can be obtained, and that an off current (leakage current) is small to the utmost so that a keeping characteristic in the off state is improved. However, when the channel length is decreased and the channel width is increased so as to obtain enough on current, the

electric field strength of the PN junction part becomes large and the off current is increased, that is, a phenomenon of antinomy arises.

[0015] Then, conventionally, a thin film transistor with a multigate structure in which a plurality of thin film transistors connected in series are formed on a semiconductor thin film so that the channel length is shortened, and a gate electrode is provided for each channel, is used.

[0016] However, the thin film transistor with the multigate structure has a problem in which the number of gates should be increased as the off current is intended to be decreased, and the mounting area of the transistor increases as the increase of the number of gates.

[0017] Especially, when all the CMOS formed of many transistors constituting liquid crystal circuits is made to have the multigate structure, there is a problem that the increase in the circuit area is much more enlarged.

[0018] In view of the above problems, the object of the present invention is to provide a display driving device with which power consumption of the whole can be decreased by reducing a leakage current which is static power consumption of a transistor, while minimizing the increase in the circuit area.

[0019]

[Means for Solving the Problem] The display driving device according to claim 1 is a display driving device comprising a display driving circuit that performs a display control by applying a predetermined driving voltage to a display part, wherein: each transistor used at least in a final stage of the display driving circuit is divided into a plurality of transistors respectively; sources or drains of the plurality of transistors are connected in series; and gate electrodes of the transistors divided and pluralized are connected to be common so as to be driven at the same time.

[0020] Here, as described above, a structure in which sources or drains of a plurality of transistors are connected in series and the gate electrodes of the plurality of transistors are connected to be common so as to be driven at the same time is called a multigate structure. In the present invention, a transistor with the multigate structure is used at least in a final stage of the display driving circuit.

[0021] Therefore, in the case where a transistor with the multigate structure is adopted, the electric field strength of the PN junction part in each transistor is dispersed by dividing the channel length to be shortened, and as a result, an off current can be decreased. Especially, at the final stage of a display driving circuit, current is large in order to improve the driving ability and obtain enough on current. Therefore, by making at least a transistor in this part have the multigate structure, the off current can

be reduced effectively.

[0022] In addition, as described in claim 2, the display driving device according to claim 1 may be, for example, a display driving device wherein: the display part is a liquid crystal display panel with pixels formed in a matrix in a liquid crystal cell; the display driving circuit has a signal side driving circuit that supplies a display signal to each of the pixels, and each transistor constituting a tristate circuit included in the signal side driving circuit is divided into a plurality of transistors; sources or drains of the plurality of transistors are connected in series; and gate electrodes of the transistors divided and pluralized are connected to be common so as to be driven at the same time.

[0023] Therefore, since only the transistor of the tristate circuit located in the final stage of the signal side driving circuit as a display driving circuit is made to have the multigate structure, an off current can be reduced effectively. Furthermore, since the multigate structure is used only to the tristate circuit, the increase in the circuit area can be minimized.

[0024] In addition, as described in claim 3, the display driving device according to claim 1 may be, for example, a display driving device wherein: the display part is a liquid crystal display panel with pixels formed in a matrix in a liquid crystal cell; the display driving circuit has a scan side driving circuit that supplies a scan signal to each of the pixels, and each transistor constituting a buffer circuit included in the scan side driving circuit is divided into a plurality of transistors; sources or drains of the plurality of transistors are connected in series; and gate electrodes of the transistors divided and pluralized are connected to be common so as to be driven at the same time.

[0025] Therefore, since only the transistor of the buffer circuit located in the final stage of the scan side driving circuit as a display driving circuit is made to have the multigate structure, an off current can be reduced effectively. Furthermore, since the multigate structure is used only to the buffer circuit, the increase in the circuit area can be minimized.

[0026] In addition, as described in claim 4, the transistor of the display driving device according to any one of claim 1 to claim 3 may be, for example, a complementary CMOS transistor structured by an n-MOS transistor and a p-MOS transistor making a pair.

[0027] Therefore, since the CMOS transistor is structured by the n-MOS transistor and the p-MOS transistor making a pair, when either of the n-MOS transistor and the p-MOS transistor is on, with respect to a gate voltage inputted, the other is surely off. Because of such structure, the power consumption is small and an appropriate output level can be obtained.

[0028] In addition, as described in claim 5, for example, the semiconductor region of the transistor of the display driving device according to any one of claim 1 to claim 4 may have at least two high concentration impurity regions, a plurality of channel regions existing between these high concentration impurity regions, and a low concentration impurity region between the high concentration impurity region and the channel region; and a gate electrode made to be common respectively may be formed in a position which corresponds to each of the channel regions, with an insulating layer therebetween.

[0029] Therefore, the transistor of the above-mentioned display driving device adopts not only a multigate structure but also a lightly doped drain (LDD) structure, so it has a low concentration impurity region in the PN junction part of the transistor, that is, between the high concentration impurity region with which source and drain electrodes are connected and the plurality of channel regions. In this way, the electric field strength of the PN junction part becomes small, and an off current can be much more decreased without accompanying the increase in the area of the transistor, and the power consumption can be reduced. As for the multigate structure of a transistor, it is called dual gate in the case where the number of gate electrodes is two, triple gate in the case of three, quad gate in the case of four, and the number of gate electrodes may be five or more. And, as for the reducing effect of the off current, the reducing in the case of triple gate with more gates is more prominent than the case of the above-mentioned dual gate. However, when the number of gates is increased, the increase in the circuit area is caused. But, by combining with the LDD structure, the off current can be reduced without accompanying the increase in the area of the transistor.

[0030] In addition, as described in claim 6, the space between each of the channel regions of the display driving device according to claim 5 may be formed of a low concentration impurity region, for example.

[0031] Therefore, even when the space between each of the channel regions of the transistor with the multigate structure is formed only of a low concentration impurity region, the reducing effect of an off current due to the LDD structure is obtained, and the power consumption can be reduced.

[0032]

[Embodiment of the Invention] Hereinafter, the embodiment of the present invention will be described, based on diagrams.

[0033] Fig. 1 to Fig. 6 are diagrams to show the embodiment of a display driving device of the present invention. Here, a liquid crystal driving circuit and a switching element formed of a thin film transistor (TFT) located in each pixel of the pixel part are

formed integrated, so as to be a liquid crystal display device with a built-in driving circuit. And, in the present embodiment, the transistor in the final stage of the above-mentioned liquid crystal driving circuit is structured by a CMOS transistor with a dual gate structure.

[0034] First, the structure will be described.

[0035] Fig. 1 is a diagram to show an inverter circuit 21 made of a CMOS transistor with a dual gate structure, constituting the final stage of a liquid crystal driving circuit. In the inverter circuit 21 in Fig. 1, an n-MOS transistor 2 and a p-MOS transistor 3 in an inverter circuit 1 formed of a conventional CMOS transistor shown in Fig. 7 are divided into two respectively, and the gate electrodes are connected to be common. That is, the inverter circuit 21 in Fig. 1 is structured by p-MOS transistors 22 and 23 and n-MOS transistors 24 and 25. And the sources or drains of the p-MOS transistors 22 and 23 and n-MOS transistors 24 and 25 are connected in series between a power source (Vdd) and a grounding (GND), and gate electrodes 31 and 32 of these transistors 22 to 25 are connected with each other to be used common. The above-mentioned common gate electrode is made to be an input terminal (IN) of the inverter circuit 21, and the connection part of the above-mentioned p-MOS transistor 23 and n-MOS transistor 24 is made to be an output terminal (OUT).

[0036] In the case where a transistor with a dual gate structure is adopted, as in the present embodiment, the channel length of the transistor is divided to be shortened, so that the electric field strength of the PN junction part of each transistor is dispersed, and as a result, the off current of the transistor can be reduced.

[0037] Next, Fig. 2 is a cross-sectional structure diagram of the CMOS inverter circuit in Fig. 1. As shown in Fig. 2, a base insulating film 27 of a predetermined film thickness is formed on all over the surface of a glass substrate 26. On the surface of the base insulating film 27, thin film semiconductor layers 28 and 29 made of an n-MOS transistor formation region and a p-MOS transistor formation region structured by a plurality of different regions are formed selectively.

[0038] A plurality of masks for ion implantation not shown in the figure are formed over the thin film semiconductor layers 28 and 29, and impurity ions for structuring n-type or p-type semiconductor are doped partly so as to form a plurality of regions with different impurities and different impurity concentrations.

[0039] Specifically, 281 and 287 are n-type high concentration impurity doped regions, 282, 284 and 286 are n-type low concentration impurity doped regions, and 283 and 285 are intrinsic semiconductor regions where an impurity is not doped, which make channel regions.

[0040] In addition, 291 and 297 are p-type high concentration impurity doped regions, 292, 294 and 296 are p-type low concentration impurity doped regions, and 293 and 295 are intrinsic semiconductor regions where an impurity is not doped, which make channel regions.

[0041] In this way, in the CMOS inverter circuit 21 shown in Fig. 2, a so-called lightly doped drain (LDD) structure in which impurity regions having concentrations varied in a stepwise manner are formed in the thin film semiconductor layers 28 and 29 is adopted, in addition to the above-mentioned dual gate structure. The LDD structure shown in Fig. 2 is adopted not only to the drain region but also to the source region. With the adoption of the LDD structure, a low concentration impurity region is formed in the PN junction part of the thin film transistor, that is, between the high concentration impurity region with which the electrode is connected and the channel region, so that the electric field strength of the PN junction part becomes small, and the off current (leakage current) can be decreased.

[0042] In this way, in the present embodiment, by combining the dual gate structure and the LDD structure, the static power consumption (off current) of the thin film transistor constituting the liquid crystal driving circuit is reduced, while minimizing the increase in the circuit area, and the total power consumption of the liquid crystal driving circuit can be reduced.

[0043] Again, back to Fig. 2, the surface of the thin film semiconductor layers 28 and 29 is all over covered by a gate insulating film 30, and gate electrodes 31 and 32 are formed in the positions corresponding to channel regions 283, 285, 293 and 295 respectively, on the surface of the gate insulating film 30. The gate insulating film 30 and the gate electrodes 31 and 32 are covered by an interlayer insulating film 33.

[0044] In the gate insulating film 30 and the interlayer insulating film 33 above the high concentration impurity regions 281, 287, 291 and 297 in each side of the above-mentioned thin film semiconductor regions 28 and 29, contact holes are formed by anisotropic etching, to form source/drain electrodes. And the inside of the contact hole is filled with a source/drain electrode 34 made of aluminum (Al) or the like to make a wiring as shown in Fig. 1, so that the CMOS inverter circuit 21 is formed.

[0045] In the CMOS inverter circuit 21 shown in Fig. 1 and Fig. 2, when "0" is inputted (IN), the n-MOS 24 and 25 are off and the p-MOS 22 and 23 are on, and "1" is outputted (OUT) from the power source Vdd. When "1" is inputted, the p-MOS 22 and 23 are off and the n-MOS 24 and 25 are on, and "0" is outputted from the grounding. In this way, the CMOS inverter circuit 21 outputs the opposite logic to the inputted logic.



[0046] As described above, in the present embodiment, the thin film transistor in the final stage of the liquid crystal driving circuit is structured by using the CMOS inverter circuit 21 with the multigate structure and the LDD structure. This is because the off current can be reduced effectively by making at least the transistor in the final stage of the liquid crystal driving circuit have the multigate structure, since the current at the final stage of the liquid crystal driving circuit is large in order to improve the driving ability and obtain enough on current.

[0047] In the present embodiment, the thin film transistor in the final stage of the liquid crystal driving circuit is made to have the dual gate structure, as shown in Fig. 1 and Fig. 2. However, the invention is not limited to this, and it has only to have a multigate structure having a plurality of gate electrodes. For example, when the number of gate electrodes is three, it is called triple gate structure, and when the number of gate electrodes is four, it is called quad gate structure. As for the number of gate electrodes and the reducing effect of the off current of the thin film transistor, the reducing is more prominent as the number of gate electrodes increases. However, increasing the number of gates blindly causes the increase in the circuit area.

[0048] For this reason, in the present embodiment, the above-mentioned multigate structure is limited to the thin film transistor in the final stage of the liquid crystal driving circuit, and the after-mentioned LDD structure is combined, so that the reducing effect of the off current is obtained, while minimizing the increase in the area of the transistor.

[0049] Next, Fig. 3 is a schematic structure diagram of a TFT-LCD with built-in driving circuit 41 of the present embodiment. The TFT-LCD with built-in driving circuit 41 includes a liquid crystal display panel (TFT-LCD: Thin Film Transistor-Liquid Crystal Display) 42, a gate driver 43 to drive switching elements of each pixel arranged in a matrix in the liquid crystal display panel 42, and a drain driver 44 formed integrated on a glass substrate 45, using COG (Chip On Glass) technique.

[0050] Fig. 4 is a diagram to show a part of a specific example of the liquid crystal driving circuit and the liquid crystal display panel in Fig. 3.

[0051] In the liquid crystal display panel 42 shown in Fig. 4, a TFT is connected with each pixel, and liquid crystal capacitance LC is formed between the TFT and a common electrode via a pixel electrode. And, from the gate driver 43, a scan signal is applied sequentially to each gate line G1, G2, G3..., so that the gate of the TFT connected with each scan line is driven, and a selective state and a non-selective state are made. Here, as for the TFT on the scan line set to be in the selective state by the gate driver 43, when a display signal is applied to each drain line D1, D2... from the drain driver 44, a

driving voltage is applied to the pixel electrode in the selective state, and liquid crystal is driven by the potential difference between the pixel electrode and the common electrode, so that a display control is performed.

[0052] In the present embodiment, the structure of the drain driver 44 and the gate driver 43 as liquid crystal driving circuits has characteristics. Therefore, separating the drain driver and the gate driver, the structure and operation of each will be described.

[0053] (Drain Driver) As shown in Fig. 4, the drain driver 44 is structured by a shift resistor for data 52, latch circuits LA101 and LA102, and tristate circuits TS101 and TS102.

[0054] When a horizontal synchronizing signal  $\phi H$  and a horizontal clock signal CPH are inputted from an external circuit 51, the shift resistor for data 52, shifting the horizontal synchronizing signal  $\phi H$  by the horizontal clock signal CPH sequentially, outputs a latch signal for latching an image signal from each of output terminals DSR1 and DSR2 to control terminals L of the latch circuits LA101 and LA102.

[0055] The latch circuits LA101 and LA102 are provided corresponding to the number of drain lines D1, D2..., and its input terminal I is connected with an image signal line L100. The image signal line L100 is applied with a binary image signal DATA from the external circuit 51, and a latch signal is inputted to the control terminal L from the above-mentioned shift resistor for data 52. The serial binary image signal DATA that is inputted from the image signal line L100 latches the data with the timing of the latch signal inputted to each of the latch circuits LA101 and LA102, and the latch data is outputted from an output terminal O to the next tristate circuit.

[0056] The tristate circuits TS101 and TS102 are provided corresponding to the number of drain lines D1, D2..., in the final stage of the drain driver 44, and generate a liquid crystal driving voltage for AC drive of liquid crystal, based on the latch data of the above-mentioned latch circuit. The control terminals of the tristate circuits TS101 and TS102 are connected with output terminals O of the latch circuits LA101 and LA102 respectively, and a positive power source for output VOH and a negative power source for output VOL are connected with a positive power source terminal and a negative power source terminal of each tristate circuit. Furthermore, drain lines D1, D2... are connected respectively with output terminals of each of the tristate circuits TS101, TS102..., and a liquid crystal driving voltage is supplied to the pixel electrode via each TFT.

[0057] Fig. 5 is a diagram to show a specific structure example of the latch circuit LA101 and the tristate circuit TS101 in Fig. 4. The latch circuit LA101 shown in Fig. 5 is provided with transfer gates TG1 and TG2, and inverters IN1, IN2 and IN3.

[0058] The output terminal DSR1 of the above-mentioned shift register for data 52 is connected with a P-side control terminal of the transfer gate TG1 and an N-side control terminal of the transfer gate TG2, and connected with an N-side control terminal of the transfer gate TG1 and a P-side control terminal of the transfer gate TG2, via the inverter IN1. And, a first non-control terminal of the transfer gate TG1 is connected with the image signal line L100, a second non-control terminal of the transfer gate TG1 is connected with a first non-control terminal of the transfer gate TG2 via the inverters IN2 and IN3 in series, and a second non-control terminal of the transfer gate TG2 is connected with a second non-control terminal of the transfer gate TG1.

[0059] Next, the tristate circuit TS101 shown in Fig. 5 is provided with inverters IN4, IN5 and IN6, and transistors TR1 to TR10. Here, in the above-mentioned transistors, TR1, TR2, TR4, TR7 and TR8 are p-MOS transistors, and TR3, TR5, TR6, TR9 and TR10 are n-MOS transistors.

[0060] The connection part of the inverters IN2 and IN3 of the above-mentioned latch circuit LA101 is connected with each gate of the p-MOS transistor TR1 and the n-MOS transistor TR5, via the inverters IN4, IN5 and IN6 of the tristate circuit TS101 in series.

[0061] The connection part of the above-mentioned inverters IN5 and IN6 is connected with each gate of the p-MOS transistor TR2 and the n-MOS transistor TR3.

[0062] Furthermore, each gate of the p-MOS transistor TR4 and the n-MOS transistor TR6 is connected with a frame signal line 55 where a frame signal  $\phi$  is inputted.

[0063] And, the source of the above-mentioned p-MOS transistor TR1 is connected with a positive power source VCC and the drain is connected with the source of the p-MOS transistor TR2. In addition, the drain of the p-MOS transistor TR2 is connected with the drain of the n-MOS transistor TR3, and the source of the n-MOS transistor TR3 is connected to the grounding.

[0064] Furthermore, as for the above-mentioned p-MOS transistor TR4, the source is connected with the positive power source VCC, and the drain is connected with the drain of the n-MOS transistor TR5. The source of the n-MOS transistor TR5 is connected with the drain of the n-MOS transistor TR6, and the source of the n-MOS transistor TR6 is connected to the grounding.

[0065] And, drains of the above-mentioned p-MOS transistors TR1 and TR4 are connected with each other, and then it is connected with the common gate electrode of the p-MOS transistors TR7 and TR8 of the CMOS inverter circuit 56 with the dual gate structure.

[0066] Furthermore, the drain of the above-mentioned p-MOS transistor TR2 is connected with the source of the n-MOS transistor TR5, and also connected with the

common gate electrode of the n-MOS transistors TR9 and TR10 of the CMOS inverter circuit 56 with the dual gate structure.

[0067] And, the source of the p-MOS transistor TR7 of the above-mentioned CMOS inverter circuit 56 is connected with the positive power source for output VOH. The drain of the p-MOS transistor TR8 is connected with a data line D1 and also with the drain of the n-MOS transistor TR9. The source of the n-MOS transistor TR10 is connected with the negative power source for output VOL.

[0068] The characteristic structure of the drain driver 44 of the present embodiment is that the CMOS inverter circuit 56 having the dual gate structure (so-called multigate structure) is formed in the tristate circuit TS101 placed in the final stage of the drain driver 44 that is a liquid crystal driving circuit, using transistors TR7 to TR10. In this way, the channel length is divided to be more shortened than the case of using a conventional inverter circuit, and the electric field strength of the PN junction part in each transistor, so that the off current of the transistor can be reduced. Especially, in the present embodiment, the dual gate structure is adopted only to the final stage of the drain driver 44 where a large electric current is applied in order to improve the driving ability enough and obtain enough on current, so that the off current is reduced effectively, while minimizing the increase in the circuit area.

[0069] Next, the operation will be described.

[0070] The shift resistor for data 52 shown in Fig. 4, when the horizontal synchronizing signal  $\phi H$  and the horizontal clock signal CPH are inputted from the external circuit 51, outputs the signal DSR1 and supplies to the control terminal L of the latch circuit LA101. And the image signal DATA is supplied to the input terminal I of the latch circuit LA101.

[0071] In Fig. 5, when the output signal DSR1 from the shift resistor for data 52 becomes low level, the output of the inverter IN1 becomes high level. Therefore, the transfer gate TG1 becomes on, and the image signal DATA is loaded. When the output signal DSR1 from the shift resistor for data 52 becomes high level, the output of the inverter IN1 becomes low level. Therefore, the transfer gate TG1 becomes off and the transfer gate TG2 becomes on, then the image signal DATA is stored.

[0072] The case where the above-mentioned image signal DATA is low level will be described.

[0073] The image signal DATA of low level becomes high level via the inverters IN2, IN4 and IN5, and is supplied to each gate of the p-MOS transistor TR2 and the n-MOS transistor TR3, so that the p-MOS transistor TR2 becomes off and the n-MOS transistor TR3 becomes on. The image signal DATA of low level becomes low level via the

inverters IN2, IN4, IN5 and IN6, and is supplied to each gate of the p-MOS transistor TR1 and the n-MOS transistor TR5, so that the p-MOS transistor TR1 becomes on and the n-MOS transistor TR5 becomes off. When the n-MOS transistor TR3 becomes on, the gates of n-MOS transistors TR9 and TR10 are grounded and become off. Furthermore, when the p-MOS transistor TR1 becomes on, the positive power source VCC is supplied to the gates of p-MOS transistors TR7 and TR8, and the p-MOS transistors TR7 and TR8 become off. Therefore, the data line D1 is not supplied with the positive power source for output VOH and the negative power source for output VOL.

[0074] Next, the case where the above-mentioned image signal DATA is high level and the frame signal  $\phi f$  is high level will be described.

[0075] The image signal DATA of high level becomes low level via the inverters IN2, IN4 and IN5, and is supplied to each gate of the p-MOS transistor TR2 and the n-MOS transistor TR3, so that the p-MOS transistor TR2 becomes on and the n-MOS transistor TR3 becomes off. The image signal DATA of high level becomes high level via the inverters IN2, IN4, IN5 and IN6, and is supplied to each gate of the p-MOS transistor TR1 and the n-MOS transistor TR5, so that the p-MOS transistor TR1 becomes off and the n-MOS transistor TR5 becomes on. Further, since the frame signal  $\phi f$  of high level is supplied to each gate of the p-MOS transistor TR4 and the n-MOS transistor TR6, the p-MOS transistor TR4 becomes off and the n-MOS transistor TR6 becomes on. When the n-MOS transistor TR5 and the n-MOS transistor TR6 become on, the gates of the p-MOS transistors TR7 and TR8 are grounded and they become on, and the gates of the n-MOS transistors TR9 and TR10 are grounded and they become off. Therefore, since the p-MOS transistors TR7 and TR8 become on, the data line D1 is supplied with the positive power source for output VOH.

[0076] Next, the case where the above-mentioned image signal DATA is high level and the frame signal  $\phi f$  is low level will be described.

[0077] The image signal DATA of high level becomes low level via the inverters IN2, IN4 and IN5, and is supplied to each gate of the p-MOS transistor TR2 and the n-MOS transistor TR3, so that the p-MOS transistor TR2 becomes on and the n-MOS transistor TR3 becomes off. The image signal DATA of high level becomes high level via the inverters IN2, IN4, IN5 and IN6, and is supplied to each gate of the p-MOS transistor TR1 and the n-MOS transistor TR5, so that the p-MOS transistor TR1 becomes off and the n-MOS transistor TR5 becomes on. Further, since the frame signal  $\phi f$  of low level is supplied to each gate of the p-MOS transistor TR4 and the n-MOS transistor TR6, the p-MOS transistor TR4 becomes on and the n-MOS transistor TR6 becomes off. When

the p-MOS transistor TR4 and the n-MOS transistor TR5 become on, the gates of the p-MOS transistors TR7 and TR8 are supplied with the positive power source VCC and they become off, and the gates of the n-MOS transistors TR9 and TR10 are supplied with positive power source VCC and they become on. Therefore, since the n-MOS transistors TR9 and TR10 become on, the data line D1 is supplied with the negative power source for output VOL.

[0078] In this way, in the above-mentioned embodiment, the CMOS inverter circuit 56 having the dual gate structure using transistors TR7 to TR10 is provided in the tristate circuit TS101 placed in the final stage of the drain driver 44. Therefore, the electric field strength of the PN junction part in each transistor is dispersed, and the off current can be reduced effectively, while minimizing the increase in the circuit area. As a result, the power consumption of the drain driver 44 can be reduced.

[0079] (Gate Driver) As shown in Fig. 4, the gate driver 43 is structured by a shift resistor for scan 53 and a buffer circuit 54.

[0080] As for the shift resistor for scan 53, a vertical synchronizing signal  $\phi V$  and a vertical clock signal CPV are inputted from an external circuit 51. By the vertical synchronizing signal  $\phi V$  and the vertical clock signal CPV, the shift resistor for scan 53 generates a horizontal scan signal given to a plurality of gate lines, and applies it sequentially to the gate lines G1, G2, G3..., amplifying the signal by each buffer circuit 54, so that the thin film transistor (TFT) of each pixel in the liquid crystal display panel 42 is on/off-driven, and the horizontal scan is performed.

[0081] Fig. 6 is a diagram to show a specific structure example of the shift resistor for scan 53 and the buffer circuit 54 in Fig. 4.

[0082] As shown in Fig. 6, the shift resistor for scan 53 is structured by latch circuits 61, 62, 63, 64..., and NAND circuits 71, 72, 73, 74....

[0083] For the latch circuits 61, 62, 63 and 64, a vertical synchronizing signal  $\phi V$  and an inversion vertical synchronizing signal  $\overline{\phi V}$  inputted from the external circuit 51 are inputted to a control signal input end L and an inversion control signal input end  $\overline{L}$  alternately with opposite phases. When "1" is inputted to the control signal input end L, the input signal is through-outputted, and when "0" is inputted, the prior input signal is latched.

[0084] As for the input signal to the latch circuit 61, when the vertical clock signal CPV is inputted from the external circuit 51 to an input end I, the output signal responding to the through condition and the latch condition is outputted from an output end O and an inversion output end  $\overline{O}$ , and then inputted to the input end I of the NAND circuit 71 and the next latch circuit 62.

[0085] In the same way, the output signal of the latch circuit 62 is inputted to the input end I of the NAND circuits 71 and 72 and the next latch circuit 63.

[0086] And for the NAND circuit 71, an inversion output from the inversion output end  $\overline{O}$  of each of the latch circuit 61 and the latch circuit 62 is inputted, and it outputs a negative AND operation.

[0087] In the same way as the above, the shift resistor is structured by the latch circuits 63, 64..., and the NAND circuits 73, 74..., connected sequentially, and a negative AND operation outputted with the predetermined timing respectively from each of the NAND circuits 71 to 74... is outputted to the next buffer circuit 54 sequentially.

[0088] Here, the buffer circuit 54 is structured by three inverter circuits (81, 91 and 101, for example) cascade-connected, and the negative AND operation inputted from each NAND circuit is amplified, inverting the logic sequentially via each inverter circuit, and outputted to each of the gate lines G1, G2, G3, G4..., respectively.

[0089] Fig. 6 only describes the structure of a part of the gate driver 43 to supply to the gate lines for four lines, and each circuit described above is arranged corresponding to the number of lines arranged in a vertical direction. In this way, by line-scanning each gate line with the predetermined scanning method, each gate line is set to be in a selective state or in a non-selective state.

[0090] In this way, the characteristic structure of the gate driver 43 of the present embodiment is that some inverter circuits 101 to 104 in the buffer circuit 54 placed in the final stage of the gate driver 43 that is a liquid crystal driving circuit are made to be CMOS inverter circuits with the dual gate structure shown in Fig. 1 and Fig. 2. In this way, the channel length is divided to be shorter than the conventional CMOS inverter circuit, the electric field strength in the PN junction part in each transistor is dispersed, so that the off current of the transistor can be reduced. Especially, in the present embodiment, the dual gate structure is adopted to the final stage of the gate driver 43 where a large electric current is applied in order to improve the driving ability enough and obtain enough on current, so that the off current can be reduced effectively, while minimizing the increase in the circuit area, and the power consumption of the gate driver 43 can be reduced.

[0091] And, as for the above-mentioned drain driver 44 and the gate driver 43, a horizontal scan signal is applied sequentially to the gate lines G1, G2, G3... of the liquid crystal display panel 42 by the gate driver 43 to make a selective state, and an image signal responding to each pixel on the horizontal scan line in the selective state is supplied from the drain driver 44 via each of the data lines D1, D2..., and liquid crystal

is driven by sending signal charge to the thin film transistor of the predetermined pixel, so that the display is performed.

[0092] Above, the invention made by the present inventor is described specifically based on a preferred embodiment. However, the present invention is not limited to the above-mentioned embodiment, and it will be obvious that various changes may be made without departing from the scope of the invention.

[0093] Although the above-mentioned embodiment is described with the transistor having the dual gate structure, when the number of gates is increased as the case of triple gate and quad gate, the reducing effect of an off current can be increased, for example. Therefore, the transistor should have the so-called multigate structure, where a plurality of gate electrodes being divided is used common.

[0094] Furthermore, in the embodiment above, the CMOS inverter circuit 56 with the multigate structure is placed in the output stage part of each of the tristate circuits TS101, TS102... provided for the final stage of the drain driver 44, but transistors in the other tristate circuits than this may have a multigate structure.

[0095] Furthermore, in the embodiment above, the inverter circuits 101, 102, 103, 104... in the output stage part of the buffer circuit 54 provided for the final stage of the gate driver 43 are structured by CMOS transistors with the multigate structure, but all the inverter circuits in the buffer circuit 54 may have the multigate structure.

[0096] Furthermore, in the embodiment above, the transistor having the multigate structure added with the LDD structure is used for the description, but a transistor with the multigate structure but without the LDD structure may be used.

[0097] In the embodiment above, the TFT to which the multigate structure and the LDD structure are adopted is the TFT for the liquid crystal driving circuit. However, the invention is not limited to this, of course, and the above-mentioned multigate structure and LDD structure may be adopted to the TFT that structures the pixel part.

[0098]

[Effect of the Invention] According to the display driving device described in claim 1, a transistor having a multigate structure is used at least in the final stage of the display driving circuit. In the final stage of the display driving circuit, a large current is applied in order to improve the driving ability and obtain enough on current. Therefore, by making the transistor in this part have a multigate structure, the electric field strength of the PN junction part of the transistor is dispersed. As a result, an off current can be reduced and the power consumption of display driving device can be reduced.

[0099] According to the display driving device described in claim 2, only a transistor



of a tristate circuit placed in the final stage of a signal side driving circuit that is a display driving circuit is made to have a multigate structure, so that an off current can be reduced effectively. In addition, since the multigate structure is limited to the tristate circuit, the increase in the circuit area can be minimized.

[0100] According to the display driving device described in claim 3, only a transistor of a buffer circuit placed in the final stage of a scan side driving circuit that is a display driving circuit is made to have a multigate structure, so that an off current can be reduced effectively. In addition, since the multigate structure is limited to the buffer circuit, the increase in the circuit area can be minimized.

[0101] According to the display driving device described in claim 4, the above-mentioned transistor is a complementary CMOS transistor where an n-MOS transistor and a p-MOS transistor make a pair, so that the power consumption can be reduced and an appropriate output level can be obtained.

[0102] According to the display driving device described in claim 5, a lightly doped drain (LDD) structure, in addition to the above-mentioned multigate structure, is adopted to a semiconductor region of the transistor, and a low concentration impurity region is provided between a high concentration impurity region with which source/drain electrodes are connected and a plurality of channel regions, so that the electric field strength of the PN junction part becomes small, and the off current can be reduced further. Therefore, although the circuit area increases when the number of gates of the multigate structure is increased, the off current can be reduced while minimizing the increase in the area of the transistor, by combining with the LDD structure.

[0103] According to the display driving device described in claim 6, a low concentration impurity region is formed between each of the divided channel regions of the transistor, so that the reducing effect of the off current due to the LDD structure is obtained, and the power consumption can be reduced.

#### [Brief Description of the Drawings]

Fig. 1 is a diagram to show an inverter circuit made of a CMOS transistor with a dual gate structure, constituting the final stage of a liquid crystal driving circuit.

Fig. 2 is a cross-sectional structure diagram of the COMS inverter circuit in Fig. 1.

Fig. 3 is a schematic structure diagram of a TFT-LCD with a built-in driving circuit of the present embodiment.

Fig. 4 is a diagram to show a part of a specific example of the liquid crystal driving circuit and the liquid crystal display panel in Fig. 3.

Fig. 5 is a diagram to show a specific structure example of the latch circuit and the tristate circuit in Fig. 4.

Fig. 6 is a diagram to show a specific structure example of the shift resistor for scan and the buffer circuit in Fig. 4.

Fig. 7 is a diagram to show a structure of a conventional CMOS inverter circuit.

Fig. 8 is a cross-sectional view of the CMOS inverter circuit in Fig. 7.

**[Description of Symbols]**

21: inverter circuit

22 and 23: p-MOS transistor

24 and 25: n-MOS transistor

26: glass substrate

27: base insulating film

28 and 29: thin film semiconductor layer

281 and 287: n-type high concentration impurity doped region

282, 284 and 286: n-type low concentration impurity doped region

283 and 285: channel region

291 and 297: p-type high concentration impurity doped region

292, 294 and 296: p-type low concentration impurity doped region

293 and 295: to be channel region

30: gate insulating film

31 and 32: gate electrode

33: interlayer insulating film

34: source/drain electrodes

42: liquid crystal display panel

43: gate driver

44: drain driver

51: external circuit

52: shift resistor for data

53: shift resistor for scan

54: buffer circuit

LA101 and LA102: latch circuit

TS101 and TS 102: tristate circuit

TR7 and TR8: p-MOS transistor

TR9 and TR10: n-MOS transistor

81 to 104: inverter circuit

**Continued from the front page**

**(51) Int. Cl.<sup>5</sup>**

**FI: H 01 L 29/78 614, 616 A**